

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 8 日
Date of Application:

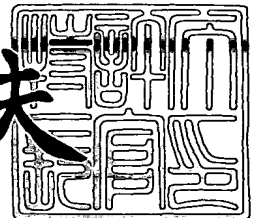
出 願 番 号 特 願 2 0 0 3 - 0 7 4 2 1 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 7 4 2 1 8]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 0 0 0 3

【書類名】 特許願

【整理番号】 J0097428

【提出日】 平成15年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 青▲柳▼ 哲理

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100066980

 【弁理士】

 【氏名又は名称】 森 哲也

【選任した代理人】

 【識別番号】 100075579

 【弁理士】

 【氏名又は名称】 内藤 嘉昭

【選任した代理人】

 【識別番号】 100103850

 【弁理士】

 【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

 【予納台帳番号】 001638

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 第 1 キャリア基板と、
前記第 1 キャリア基板上に搭載された第 1 半導体チップと、
第 2 キャリア基板と、
前記第 2 キャリア基板上に搭載された第 2 半導体チップと、
前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極と、
前記突出電極の配置領域が含まれるようにして、前記第 2 半導体チップを封止する封止材とを備えることを特徴とする半導体装置。

【請求項 2】 前記第 2 キャリア基板は前記第 1 半導体チップ上に跨るように、第 1 キャリア基板上に固定されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記封止材はモールド樹脂であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記封止材の側壁は前記第 2 キャリア基板の側壁の位置に一致していることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 5】 前記第 1 半導体チップは第 1 キャリア基板上にフリップチップ実装されていることを特徴とする請求項 1 ～ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】 前記第 1 半導体チップは、前記第 1 キャリア基板上に並列して複数設けられていることを特徴とする請求項 1 ～ 5 のいずれか 1 項記載の半導体装置。

【請求項 7】 前記第 1 半導体チップは、圧接接合により前記第 1 キャリア基板上に接続されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記第 1 キャリア基板及び前記第 1 キャリア基板に搭載された第 1 半導体チップを含む半導体装置と、前記第 2 キャリア基板及び前記第 2 キャリア

キャリア基板に搭載された第2半導体チップを含む半導体装置とは、等しい温度で弾性率が異なることを特徴とする請求項1～7のいずれか1項記載の半導体装置。

【請求項9】 前記第1半導体チップが搭載された第1キャリア基板はフリップチップ実装されたボールグリッドアレイ、前記第2半導体チップが搭載された第2キャリア基板はモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項1～8のいずれか1項記載の半導体装置。

【請求項10】 キャリア基板と、
前記キャリア基板上に搭載された第1半導体チップと、
前記キャリア基板上に搭載された第2半導体チップと、
前記第2半導体チップが前記第1半導体チップ上に保持されるように、前記第2半導体チップと前記キャリア基板とを接続する突出電極と、
前記突出電極の配置領域が含まれるようにして、前記第2半導体チップを封止する封止材とを備えることを特徴とする半導体装置。

【請求項11】 前記第2半導体チップは積層された複数個の半導体チップであることを特徴とする請求項1～10のいずれか1項記載の半導体装置。

【請求項12】 前記第2半導体チップは、前記第2キャリア基板上に並列に搭載された複数個の半導体チップであることを特徴とする請求項1～11のいずれか1項記載の半導体装置。

【請求項13】 第1キャリア基板と、
前記第1キャリア基板上に搭載された第1電子部品と、
第2キャリア基板と、
前記第2キャリア基板上に搭載された第2電子部品と、
前記第2キャリア基板が前記第1電子部品上に保持されるように、前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極と、
前記突出電極の配置領域が含まれるようにして、前記第2電子部品を封止する封止材とを備えることを特徴とする電子デバイス。

【請求項14】 第1キャリア基板と、

前記第 1 キャリア基板上に搭載された第 1 半導体チップと、
第 2 キャリア基板と、
前記第 2 キャリア基板上に搭載された第 2 半導体チップと、
前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する突出電極と、
前記突出電極の配置領域が含まれるようにして、前記第 2 半導体チップを封止する封止材と、
前記第 1 キャリア基板が実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項 15】 第 1 キャリア基板上に第 1 半導体チップをフリップチップ実装する工程と、

突出電極を配置する配置領域が設けられた第 2 キャリア基板上に第 2 半導体チップを実装する工程と、

前記突出電極の配置領域に封止樹脂がかかるようにして、前記第 2 半導体チップを前記封止樹脂で封止する工程と、

前記第 2 キャリア基板が前記第 1 半導体チップ上に保持されるように、前記突出電極を介して前記第 2 キャリア基板と前記第 1 キャリア基板とを接続する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 16】 前記第 2 半導体チップを前記封止樹脂で封止する工程は、
前記第 2 キャリア基板に実装された複数の第 2 半導体チップを封止樹脂で一体的にモールド成形する工程と、

前記封止樹脂によりモールド成形された前記第 2 キャリア基板を前記第 2 半導体チップごとに切断する工程とを備えることを特徴とする請求項 15 記載の半導体装置の製造方法。

【請求項 17】 第 1 キャリア基板上に第 1 電子部品を実装する工程と、
突出電極を配置する配置領域が設けられた第 2 キャリア基板上に第 2 電子部品を実装する工程と、

前記突出電極の配置領域に封止樹脂がかかるようにして、前記第 2 電子部品を前記封止樹脂で封止する工程と、

前記第2キャリア基板が前記第1電子部品上に保持されるように、前記突出電極を介して前記第2キャリア基板と前記第1キャリア基板とを接続する工程とを備えることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップ実装時の省スペース化を図るため、例えば、特許文献1に開示されているように、キャリア基板を介して半導体チップを3次元実装する方法がある。

【0003】

【特許文献1】

特開平10-284683号公報

【0004】

【発明が解決しようとする課題】

しかしながら、キャリア基板を介して半導体チップを3次元実装する方法では、キャリア基板の反りが発生し、3次元実装時の接続信頼性が劣化するとともに、異種チップの積層が困難であるという問題があった。

そこで、本発明の目的は、接続信頼性の劣化を抑制しつつ、異種チップの3次元実装構造を実現することが可能な半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

【0005】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと

、第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2キャリア基板が前記第1半導体チップ上に保持されるように、前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極と、前記突出電極の配置領域が含まれるようにして、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0006】

これにより、第2半導体チップを封止する封止材で突出電極の配置領域を補強することが可能となり、第1キャリア基板上に第2キャリア基板を積層した際の高さの増大を抑制しつつ、第2半導体チップが搭載される第2キャリア基板の反りを低減させることが可能となる。

このため、第1キャリア基板と第2キャリア基板との間の接続信頼性の劣化を抑制しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

【0007】

また、本発明の一態様に係る半導体装置によれば、前記第2キャリア基板は前記第1半導体チップ上に跨るように、第1キャリア基板上に固定されていることを特徴とする。

これにより、第1半導体チップと第2半導体チップとを重ねて配置することが可能となり、複数の半導体チップを実装する際の実装面積を低減させて、半導体チップ実装時の省スペース化を図ることが可能となる。

【0008】

また、本発明の一態様に係る半導体装置によれば、前記封止材はモールド樹脂であることを特徴とする。

これにより、第2キャリア基板を含む異種パッケージを第1キャリア基板上に積層させることが可能となり、半導体チップの種類が異なる場合においても、半導体チップの3次元実装構造を実現することが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記封止材の側壁は前記第2キャリア基板の側壁の位置に一致していることを特徴とする。

これにより、第1キャリア基板上に第2キャリア基板を積層した際の高さの増

大を抑制しつつ、第2半導体チップを封止する封止材で第2キャリア基板の一面全体を補強することが可能となるとともに、封止材のセル分割を行うことなく、第2半導体チップを封止することが可能となり、第2キャリア基板上に搭載される第2半導体チップの搭載面積を増大させることが可能となる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップは第1キャリア基板上にフリップチップ実装されていることを特徴とする。

これにより、第1半導体チップ上でワイヤを引き回すことなく、第1キャリア基板上に第1半導体チップを実装することができる。このため、第1キャリア基板上で第2キャリア基板を保持する突出電極の高さを低くすることが可能となり、省スペース化を可能としつつ、第1キャリア基板と第2キャリア基板との間の接続信頼性を向上させることができる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップは、前記第1キャリア基板上に並列して複数設けられていることを特徴とする。

これにより、複数の第1半導体チップ上に第2半導体チップを重ねて配置することが可能となり、複数の半導体チップを実装する際の実装面積を低減させて、半導体チップ実装時の省スペース化を図ることが可能となる。

【0012】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップは、圧接接合により前記第1キャリア基板上に接続されていることを特徴とする。

これにより、第1半導体チップを第1キャリア基板上に接続する際の低温化を図ることが可能となり、実際の使用時の第1キャリア基板の反りを低減することが可能となる。

【0013】

また、本発明の一態様に係る半導体装置によれば、前記第1キャリア基板及び前記第1キャリア基板に搭載された第1半導体チップを含む半導体装置と、前記第2キャリア基板及び前記第2キャリア基板に搭載された第2半導体チップを含む半導体装置とは、等しい温度で弾性率が異なることを特徴とする。

これにより、一方のキャリア基板で発生する反りを他方のキャリア基板で抑えることが可能となり、第1キャリア基板と第2キャリア基板との間の接続信頼性を向上させることが可能となる。

【0014】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップが搭載された第1キャリア基板はフリップチップ実装されたボールグリッドアレイ、前記第2半導体チップが搭載された第2キャリア基板はモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

これにより、3次元実装構造の高さの増大を抑制しつつ、異種パッケージを積層させることが可能となり、半導体チップの種類が異なる場合においても、半導体チップ実装時の省スペース化を図ることが可能となる。

【0015】

また、本発明の一態様に係る半導体装置によれば、キャリア基板と、前記キャリア基板上に搭載された第1半導体チップと、前記キャリア基板上に搭載された第2半導体チップと、前記第2半導体チップが前記第1半導体チップ上に保持されるように、前記第2半導体チップと前記キャリア基板とを接続する突出電極と、前記突出電極の配置領域が含まれるようにして、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0016】

これにより、半導体チップの種類またはサイズが異なる場合においても、第1半導体チップと第2半導体チップとの間にキャリア基板を介在させることなく、第1半導体チップ上に第2半導体チップが配置されるようにして、第2半導体チップをキャリア基板上にフリップチップ実装することが可能となるとともに、第2半導体チップを封止する封止材で突出電極の配置領域を補強することが可能となる。

【0017】

このため、半導体チップ積層時の高さの増大を抑制しつつ、キャリア基板の反りを低減させることが可能となり、3次元実装時の接続信頼性の劣化を抑制しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップは積層された複数個の半導体チップであることを特徴とする。

【0018】

これにより、種類またはサイズが異なる第2半導体チップを第1半導体チップ上に複数積層することが可能となり、様々の機能を持たせることを可能としつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップは、前記第2キャリア基板上に並列に搭載された複数個の半導体チップであることを特徴とする。

【0019】

これにより、第2半導体チップ積層時の高さの増大を抑制しつつ、複数の第2半導体チップを第1半導体チップ上に配置することが積可能となり、3次元実装時の接続信頼性の劣化を抑制しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る電子デバイスによれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1電子部品と、第2キャリア基板と、前記第2キャリア基板上に搭載された第2電子部品と、前記第2キャリア基板が前記第1電子部品上に保持されるように、前記第2キャリア基板と前記第1キャリア基板とを接続する突出電極と、前記突出電極の配置領域が含まれるようにして、前記第2電子部品を封止する封止材とを備えることを特徴とする。

【0020】

これにより、第2電子部品を封止する封止材で突出電極の配置領域を補強することが可能となり、第1キャリア基板上に第2キャリア基板を積層した際の高さの増大を抑制しつつ、第2電子部品が搭載される第2キャリア基板の反りを低減させることが可能となる。

また、本発明の一態様に係る電子機器によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと、第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2キャリア基板が前記第1半導体チップ上に保持されるように、前記第2キャリア基板と前記第1

キャリア基板とを接続する突出電極と、前記突出電極の配置領域が含まれるようにして、前記第2半導体チップを封止する封止材と、前記第1キャリア基板が実装されたマザー基板とを備えることを特徴とする。

【0021】

これにより、第2半導体チップを封止する封止材で突出電極の配置領域を補強することが可能となり、第2半導体チップが搭載される第2キャリア基板の反りを低減させることが可能となることから、半導体チップ実装時の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1キャリア基板上に第1半導体チップをフリップチップ実装する工程と、突出電極を配置する配置領域が設けられた第2キャリア基板上に第2半導体チップを実装する工程と、前記突出電極の配置領域に封止樹脂がかかるようにして、前記第2半導体チップを前記封止樹脂で封止する工程と、前記第2キャリア基板が前記第1半導体チップ上に保持されるように、前記突出電極を介して前記第2キャリア基板と前記第1キャリア基板とを接続する工程とを備えることを特徴とする。

【0022】

これにより、第2半導体チップを封止する封止樹脂で突出電極の配置領域を補強することが可能となり、第2キャリア基板の反りを低減させることが可能となる。このため、突出電極を介して第1キャリア基板上に第2キャリア基板を積層する際に、第1キャリア基板と第2キャリア基板との間隔のバラツキを低減することが可能となり、第1キャリア基板と第2キャリア基板との間の接続信頼性を向上させることが可能となる。

【0023】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記第2半導体チップを前記封止樹脂で封止する工程は、前記第2キャリア基板に実装された複数の第2半導体チップを封止樹脂で一体的にモールド成形する工程と、前記封止樹脂によりモールド成形された前記第2キャリア基板を前記第2半導体チップごと切断する工程とを備えることを特徴とする。

【0024】

これにより、個々の第2半導体チップごとに封止樹脂をセル分割することなく、第2半導体チップを封止樹脂で封止することが可能となるとともに、第2キャリア基板の一面全体を封止樹脂で補強することが可能となる。

このため、第2半導体チップの種類またはサイズが異なる場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、セル分割するためのスペースが不要となることから、第2キャリア基板上に搭載される第2半導体チップの搭載面積を増大させることが可能となる。

【0025】

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア基板上に第1電子部品を実装する工程と、突出電極を配置する配置領域が設けられた第2キャリア基板上に第2電子部品を実装する工程と、前記突出電極の配置領域に封止樹脂がかかるようにして、前記第2電子部品を前記封止樹脂で封止する工程と、前記第2キャリア基板が前記第1電子部品上に保持されるように、前記突出電極を介して前記第2キャリア基板と前記第1キャリア基板とを接続する工程とを備えることを特徴とする。

【0026】

これにより、第2電子部品を封止する封止樹脂で突出電極の配置領域を補強することが可能となり、第2キャリア基板の反りを低減させることが可能となる。このため、突出電極を介して第1キャリア基板上に第2キャリア基板を積層する際に、第1キャリア基板と第2キャリア基板との間隔のバラツキを低減することが可能となり、第1キャリア基板と第2キャリア基板との間の接続信頼性を向上させることが可能となる。

【0027】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図である。なお、この第1実施形態は、半導体チップ（または半導体ダイ）3がACF接合

により実装された半導体パッケージ P K 1 上に、半導体チップ（または半導体ダイ） 1 3 が封止樹脂 1 7 で封止された半導体パッケージ P K 2 を積層したものである。

【0028】

図 1 において、半導体パッケージ P K 1 にはキャリア基板 1 が設けられ、キャリア基板 1 の両面にはランド 2 a、2 c がそれぞれ形成されるとともに、キャリア基板 1 内には内部配線 2 b が形成されている。そして、キャリア基板 1 上には半導体チップ 3 がフリップチップ実装され、半導体チップ 3 には、フリップチップ実装するための突出電極 4 が設けられている。そして、半導体チップ 3 に設けられた突出電極 4 は、異方性導電フィルム 5 を介してランド 2 c 上に A C F（Anisotropic Conductive Film）接合されている。また、キャリア基板 1 の裏面に設けられたランド 2 a 上には、キャリア基板 1 をマザー基板上に実装するための突出電極 6 が設けられている。

【0029】

一方、半導体パッケージ P K 2 にはキャリア基板 1 1 が設けられ、キャリア基板 1 1 の両面にはランド 1 2 a、1 2 c がそれぞれ形成されるとともに、キャリア基板 1 1 内には内部配線 1 2 b が形成されている。そして、キャリア基板 1 1 上には、接着層 1 4 を介し半導体チップ 1 3 がフェースアップ実装され、半導体チップ 1 3 は、導電性ワイヤ 1 5 を介してランド 1 2 c にワイヤボンダ接続されている。

【0030】

また、キャリア基板 1 1 の裏面に設けられたランド 1 2 a 上には、キャリア基板 1 1 が半導体チップ 3 上に保持されるようにして、キャリア基板 1 1 をキャリア基板 1 上に実装するための突出電極 1 6 が設けられている。ここで、突出電極 1 6 は、半導体チップ 3 の搭載領域を避けるようにして配置され、例えば、キャリア基板 1 1 の裏面の周囲に突出電極 1 6 を配置することができる。そして、キャリア基板 1 上に設けられたランド 2 c に突出電極 1 6 を接合させることにより、キャリア基板 1 1 がキャリア基板 1 上に実装されている。なお、キャリア基板 1 1 をキャリア基板 1 上に実装する場合、キャリア基板 1 1 の裏面は半導体チッ

プ3上に密着していてもよいし、キャリア基板11の裏面は半導体チップ3から離れていてもよい。

【0031】

また、キャリア基板11上に実装された半導体チップ13は封止樹脂17で封止されている。ここで、封止樹脂17で封止される範囲は、半導体チップ13上を覆うとともに、半導体チップ13の実装面側において突出電極16の配置領域にかかるように設定することができる。なお、封止樹脂17で半導体チップ13を封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0032】

これにより、半導体チップ13を封止する封止樹脂17により、突出電極16の配置領域の剛性を向上させることが可能となり、半導体パッケージPK2の高さの増大を抑制しつつ、半導体チップ13が搭載されるキャリア基板11の反りを低減させることが可能となる。

このため、半導体パッケージPK1上に半導体パッケージPK2を積層した際に、キャリア基板1とキャリア基板11との間の間隔のバラツキを低減させることが可能となり、突出電極16による接続信頼性の劣化を抑制しつつ、半導体チップ3、13実装時の省スペース化を図ることが可能となる。

【0033】

また、フリップチップ実装された半導体パッケージPK1上に、モールド封止された半導体パッケージPK2を積層することにより、異種パッケージPK1、PK2または異種チップ3、13を積層することが可能となる。このため、半導体パッケージPK1、PK2の積層構造を用いることにより、実装面積の低減を図りつつ、様々な機能を実現することが可能となる。

【0034】

なお、キャリア基板1、11としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板1、11の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用

いることができる。また、突出電極 4、6、16 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができ、導電性ワイヤ 15 としては、例えば、Au ワイヤや Al ワイヤなどを用いることができる。また、キャリア基板 11 をキャリア基板 1 上に実装するために、突出電極 16 をキャリア基板 11 のランド 12a 上に設ける方法について説明したが、突出電極 16 をキャリア基板 1 のランド 2c 上に設けるようにしてもよい。

【0035】

また、上述した実施形態では、ACF 接合により半導体チップ 3 をキャリア基板 1 上に実装する方法について説明したが、例えば、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste) 接合などのその他の圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、半導体チップ 13 をキャリア基板 11 上に実装する場合、ワイヤボンド接続を用いる方法について説明したが、キャリア基板 11 上に半導体チップ 13 をフリップチップ実装するようにしてもよい。さらに、上述した実施形態では、キャリア基板 1 上に半導体チップ 3 を 1 個だけ実装する方法を例にとりて説明したが、キャリア基板 1 上に複数の半導体チップを実装するようにしてもよい。また、キャリア基板 1 とキャリア基板 11 との間の隙間には、必要に応じて樹脂を注入するようにしてもよい。

【0036】

図 2 は、本発明の第 2 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 2 実施形態は、半導体チップ 23 が ACF 接合により実装された半導体パッケージ PK11 上に、スタックド構造の半導体チップ 33a、33b がワイヤボンド接続された半導体パッケージ PK12 を積層したものである。

図 2 において、半導体パッケージ PK11 にはキャリア基板 21 が設けられ、キャリア基板 21 の両面にはランド 22a、22c がそれぞれ形成されるとともに、キャリア基板 21 内には内部配線 22b が形成されている。そして、キャリア基板 21 上には半導体チップ 23 がフリップチップ実装され、半導体チップ 2

3には、フリップチップ実装するための突出電極24が設けられている。そして、半導体チップ23に設けられた突出電極24は、異方性導電フィルム25を介してランド22c上にACF接合されている。また、キャリア基板21の裏面に設けられたランド22a上には、キャリア基板21をマザー基板上に実装するための突出電極26が設けられている。

【0037】

ここで、ACF接合により半導体チップ23をキャリア基板21上に実装することにより、ワイヤボンダやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ23をキャリア基板21上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板21の反りを低減することが可能となる。

【0038】

一方、半導体パッケージPK12にはキャリア基板31が設けられ、キャリア基板31の両面にはランド32a、32cがそれぞれ形成されるとともに、キャリア基板31内には内部配線32bが形成されている。そして、キャリア基板31上には、接着層34aを介し半導体チップ33aがフェースアップ実装され、半導体チップ33aは、導電性ワイヤ35aを介してランド32cにワイヤボンダ接続されている。さらに、半導体チップ33a上には、導電性ワイヤ35aを避けるようにして、半導体チップ33bがフェースアップ実装され、半導体チップ33bは、接着層34bを介して半導体チップ33a上に固定されるとともに、導電性ワイヤ35bを介してランド32cにワイヤボンダ接続されている。

【0039】

また、キャリア基板31の裏面に設けられたランド32a上には、キャリア基板31が半導体チップ23上に保持されるようにして、キャリア基板31をキャリア基板21上に実装するための突出電極36が設けられている。ここで、突出電極36は、半導体チップ23の搭載領域を避けるようにして配置され、例えば、キャリア基板31の裏面の周囲に突出電極36を配置することができる。そして、キャリア基板21上に設けられたランド22cに突出電極36を接合させることにより、キャリア基板31がキャリア基板21上に実装されている。なお、

キャリア基板 31 をキャリア基板 21 上に実装する場合、キャリア基板 31 の裏面は半導体チップ 23 上に密着していてもよいし、キャリア基板 31 の裏面は半導体チップ 23 から離れていてもよい。

【0040】

なお、突出電極 26、36 としては、例えば、半田ボールを用いることができる。これにより、汎用の BGA を用いることで、異種パッケージ PK11、PK12 同士を積層することができ、製造ラインを流用することができる。

また、半導体チップ 33a、33b の実装面側のキャリア基板 31 の一面全体に封止樹脂 37 が設けられ、この封止樹脂 37 により半導体チップ 33a、33b が封止されている。なお、封止樹脂 37 で半導体チップ 33a、33b を封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0041】

これにより、突出電極 36 の配置領域を封止樹脂 37 で補強することを可能としつつ、半導体チップ 33a、33b を封止することが可能となり、半導体パッケージ PK12 の高さの増大を抑制しつつ、突出電極 36 の配置領域の剛性を向上させることが可能となる。

このため、半導体チップ 33a、33b が搭載されるキャリア基板 31 の反りを低減させることが可能となり、突出電極 36 による接続信頼性を向上させることが可能となるとともに、スタックド構造の半導体チップ 33a、33b を半導体チップ 23 上に 3 次元実装することが可能となり、半導体チップ 23、33a、33b の実装時の省スペース化を図ることが可能となる。

【0042】

また、半導体チップ 33a、33b の実装面側のキャリア基板 31 の一面全体に封止樹脂 37 を形成することにより、様々の種類の半導体チップ 33a、33b がキャリア基板 31 上に実装される場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、封止樹脂 37 をセル分割するためのスペースが不要となることから、キャリア基板 31 上に搭載される半導体チップ 33a、33b の搭載面積を増大させ

ることが可能となる。

【0043】

図3は、本発明の第3実施形態に係る半導体装置の構成を示す断面図である。なお、この第3実施形態は、半導体チップ43がACF接合により実装された半導体パッケージPK21上に、スタックド構造の半導体チップ53a、53bがそれぞれフリップチップ実装およびワイヤボンド接続された半導体パッケージPK22を積層したものである。

【0044】

図3において、半導体パッケージPK21にはキャリア基板41が設けられ、キャリア基板41の両面にはランド42a、42cがそれぞれ形成されるとともに、キャリア基板41内には内部配線42bが形成されている。そして、キャリア基板41上には半導体チップ43がフリップチップ実装され、半導体チップ43には、フリップチップ実装するための突出電極44が設けられている。そして、半導体チップ43に設けられた突出電極44は、異方性導電フィルム45を介してランド42c上にACF接合されている。また、キャリア基板41の裏面に設けられたランド42a上には、キャリア基板41をマザー基板上に実装するための突出電極46が設けられている。

【0045】

ここで、ACF接合により半導体チップ43をキャリア基板41上に実装することにより、ワイヤボンドやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ43をキャリア基板41上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板41の反りを低減することが可能となる。

【0046】

一方、半導体パッケージPK22にはキャリア基板51が設けられ、キャリア基板51の両面にはランド52a、52cがそれぞれ形成されるとともに、キャリア基板51内には内部配線52bが形成されている。そして、キャリア基板51上には半導体チップ53aがフリップチップ実装され、半導体チップ53aには、フリップチップ実装するための突出電極55aが設けられている。そして、

半導体チップ53aに設けられた突出電極55aは、異方性導電フィルム54aを介してランド52c上にACF接合されている。さらに、半導体チップ53a上には、半導体チップ53bがフェースアップ実装され、半導体チップ53bは、接着層54bを介して半導体チップ53a上に固定されるとともに、導電性ワイヤ55bを介してランド52cにワイヤボンダ接続されている。

【0047】

ここで、フェースダウン実装された半導体チップ53a上に半導体チップ53bをフェースアップ実装することにより、キャリア基板を介在させることなく、半導体チップ53aよりもサイズが同等かそれ以上の半導体チップ53bを半導体チップ53a上に積層することが可能となり、実装面積を縮小することが可能となる。

【0048】

また、キャリア基板51の裏面に設けられたランド52a上には、キャリア基板51が半導体チップ43上に保持されるようにして、キャリア基板51をキャリア基板51上に実装するための突出電極56が設けられている。ここで、突出電極56は、半導体チップ43の搭載領域を避けるようにして配置され、例えば、キャリア基板51の裏面の周囲に突出電極56を配置することができる。そして、キャリア基板41上に設けられたランド42cに突出電極56を接合させることにより、キャリア基板51がキャリア基板41上に実装されている。なお、キャリア基板51をキャリア基板41上に実装する場合、キャリア基板51の裏面は半導体チップ43上に密着していてもよいし、キャリア基板51の裏面は半導体チップ43から離れていてもよい。

【0049】

なお、突出電極46、56としては、例えば、半田ボールを用いることができる。これにより、汎用のBGAを用いることで、異種パッケージPK21、PK22同士を積層することができ、製造ラインを流用することができる。

また、半導体チップ53a、53bの実装面側のキャリア基板51の一面全体に封止樹脂57が設けられ、この封止樹脂57により半導体チップ53a、53bが封止されている。なお、封止樹脂57で半導体チップ53a、53bを封止

する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0050】

これにより、突出電極 56 の配置領域を封止樹脂 57 で補強することを可能としつつ、半導体チップ 53a、53b を封止することが可能となり、半導体パッケージ PK22 の高さの増大を抑制しつつ、突出電極 56 の配置領域の剛性を向上させることが可能となる。

このため、半導体チップ 53a、53b が搭載されるキャリア基板 51 の反りを低減させることが可能となり、突出電極 56 による接続信頼性を向上させることが可能となるとともに、スタックド構造の半導体チップ 53a、53b を半導体チップ 43 上に 3 次元実装することが可能となり、半導体チップ 43、53a、53b の実装時の省スペース化を図ることが可能となる。

【0051】

図 4 は、本発明の第 4 実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第 4 実施形態は、複数の半導体チップ 62a～62c を封止樹脂 64 で一体的にモールド成形した後、個々の半導体チップ 62a～62c ごとに切断することにより、半導体チップ 62a～62c がそれぞれ実装されたキャリア基板 61a～61 の一面全体に封止樹脂 64a～64c をそれぞれ形成するようにしたものである。

【0052】

図 4 (a) において、キャリア基板 61 には、複数の半導体チップ 62a～62c を搭載する搭載領域が設けられている。そして、複数の半導体チップ 62a～62c をキャリア基板 61 上に実装し、導電性ワイヤ 63a～63c をそれぞれ介してキャリア基板 61 にワイヤボンダ接続する。なお、半導体チップ 62a～62c をワイヤボンダ接続する方法以外にも、半導体チップ 62a～62c をキャリア基板 61 上にフリップチップ実装するようにしてもよく、半導体チップ 62a～62c の積層構造をキャリア基板 61 上に実装してもよい。

【0053】

次に、図 4 (b) に示すように、キャリア基板 61 上に実装された複数の半導

体チップ 62a～62c を封止樹脂 64 で一体的にモールド成形する。ここで、複数の半導体チップ 62a～62c を封止樹脂 64 で一体的にモールド成形することにより、様々の種類の半導体チップ 62a～62c がキャリア基板 61 上に実装される場合においても、モールド成形時の金型を共通化することが可能となり、封止樹脂工程を効率化することが可能となるとともに、封止樹脂 64 をセル分割するためのスペースが不要となることから、キャリア基板 61 上に搭載される半導体チップ 62a～62c の搭載面積を増大させることが可能となる。

【0054】

次に、図 4 (c) に示すように、半田ボールなどの突出電極 65a～65c を各キャリア基板 61a～61c の裏面に形成する。そして、図 4 (d) に示すように、キャリア基板 61 および封止樹脂 64 を個々の半導体チップ 62a～62c ごとに切断することにより、半導体チップ 62a～62c が封止樹脂 64a～64c でそれぞれ封止されたキャリア基板 61a～61c ごとに分割する。また、個々の半導体チップに切断した後に、はんだボールなどの突出電極を形成しても良い。

【0055】

ここで、キャリア基板 61 および封止樹脂 64 を一体的に切断することにより、半導体チップ 62a～62c の実装面側のキャリア基板 61a～61c の一面全体に封止樹脂 64a～64c をそれぞれ形成することが可能となる。このため、製造工程の複雑化を抑制しつつ、突出電極 65a～65c の配置領域の剛性を向上させることが可能となり、キャリア基板 61a～61c の反りを低減させることが可能となる。

【0056】

図 5 は、本発明の第 5 実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第 5 実施形態は、半導体チップ 73 が ACF 接合により実装された半導体パッケージ PK31 上に、封止樹脂 84 で封止された半導体パッケージ PK32 を積層したものである。

図 5 (a) において、半導体パッケージ PK31 にはキャリア基板 71 が設けられ、キャリア基板 71 の両面にはランド 72a、72b がそれぞれ形成されて

いる。そして、キャリア基板 7 1 上には半導体チップ 7 3 がフリップチップ実装され、半導体チップ 7 3 には、フリップチップ実装するための突出電極 7 4 が設けられている。そして、半導体チップ 7 3 に設けられた突出電極 7 4 は、異方性導電フィルム 7 5 を介してランド 7 2 b 上に ACF 接合されている。

【0057】

一方、半導体パッケージ PK 3 2 にはキャリア基板 8 1 が設けられ、キャリア基板 8 1 の裏面にはランド 8 2 が形成され、ランド 8 2 上には半田ボールなどの突出電極 8 3 が設けられている。また、キャリア基板 8 1 上には半導体チップが実装され、半導体チップが実装されたキャリア基板 8 1 の一面全体は、封止樹脂 8 4 で封止されている。なお、キャリア基板 8 1 上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0058】

そして、半導体パッケージ PK 3 1 上に半導体パッケージ PK 3 2 を積層する場合、キャリア基板 7 1 のランド 7 2 b 上にフラックス 7 6 を供給する。なお、キャリア基板 7 1 のランド 7 2 b 上には、フラックス 7 6 の代わりに半田ペーストを供給してもよい。

次に、図 5 (b) に示すように、半導体パッケージ PK 3 1 上に半導体パッケージ PK 3 2 をマウントし、リフロー処理を行うことにより、突出電極 8 3 をランド 7 2 b 上に接合させる。

【0059】

次に、図 5 (c) に示すように、キャリア基板 7 1 の裏面に設けられたランド 7 2 a 上に、キャリア基板 7 1 をマザー基板上に実装するための突出電極 7 7 を形成する。

図 6 は、本発明の第 6 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 6 実施形態は、半導体チップ 103、111 をキャリア基板 101 上にフリップチップ実装することにより、半導体チップ 103、111 を 3 次元実装するようにしたものである。

【0060】

図6において、キャリア基板101の両面にはランド102a、102cがそれぞれ形成されるとともに、キャリア基板101内には内部配線102bが形成されている。そして、キャリア基板101上には半導体チップ103がフリップチップ実装され、半導体チップ103には、フリップチップ実装するための突出電極104が設けられている。そして、半導体チップ103に設けられた突出電極104は、異方性導電フィルム105を介してランド102c上にACF接合されている。なお、半導体チップ103をキャリア基板101上に実装する場合、ACF接合を用いる方法以外にも、例えば、NCF接合などのその他の圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板101の裏面に設けられたランド102a上には、キャリア基板101をマザー基板上に実装するための突出電極106が設けられている。

【0061】

一方、半導体チップ111には、電極パッド112が設けられるとともに、電極パッド112が露出するようにして、絶縁膜113が設けられている。そして、電極パッド112上には、半導体チップ111が半導体チップ103上に保持されるようにして、半導体チップ111をフリップチップ実装するための突出電極114が設けられている。

【0062】

ここで、突出電極114は、半導体チップ103の搭載領域を避けるようにして配置され、例えば、半導体チップ111の周囲に突出電極114を配置することができる。そして、キャリア基板101上に設けられたランド102c上に突出電極114が接合されるとともに、キャリア基板101上に実装された半導体チップ111の表面が封止樹脂115で封止され、半導体チップ111がキャリア基板101上にフリップチップ実装されている。

【0063】

これにより、半導体チップ103、111の種類またはサイズが異なる場合においても、半導体チップ103、111間にキャリア基板を介在させることなく

、半導体チップ103上に半導体チップ111をフリップチップ実装することが可能となるとともに、半導体チップ111を封止する封止樹脂115で突出電極114の配置領域を補強することが可能となる。このため、半導体チップ103、111積層時の高さの増大を抑制しつつ、キャリア基板101の反りを低減させることが可能となり、3次元実装時の接続信頼性の劣化を抑制しつつ、半導体チップ103、111実装時の省スペース化を図ることが可能となる。

【0064】

なお、半導体チップ111をキャリア基板101上に実装する場合、半導体チップ111は半導体チップ103上に密着していてもよいし、キャリア基板111は半導体チップ103から離れていてもよい。また、半導体チップ111をキャリア基板101上に実装する場合、例えば、ACF接合やNCF接合などの圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極104、106、114としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、キャリア基板101上にフリップチップ実装された1個の半導体チップ103上に半導体チップ111をフリップチップ実装する方法を例にとって説明したが、キャリア基板101上にフリップチップ実装された複数の半導体チップ上に半導体チップ111をフリップチップ実装するようにしてもよい。

【0065】

図7は、本発明の第7実施形態に係る半導体装置の構成を示す断面図である。なお、この第7実施形態は、半導体チップ203がフリップチップ実装されたキャリア基板201上に、スタックド構造の半導体チップ211a～211cを3次元実装するようにしたものである。

図7において、キャリア基板201の両面にはランド202a、202cがそれぞれ形成されるとともに、キャリア基板201内には内部配線202bが形成されている。そして、キャリア基板201上には半導体チップ203がフリップチップ実装され、半導体チップ203には、フリップチップ実装するための突出電極204が設けられている。そして、半導体チップ203に設けられた突出電

極 204 は、異方性導電フィルム 205 を介してランド 202c 上に ACF 接合されている。なお、半導体チップ 203 をキャリア基板 201 上に実装する場合、ACF 接合を用いる方法以外にも、例えば、NCF 接合などのその他の圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板 201 の裏面に設けられたランド 202a 上には、キャリア基板 201 をマザー基板上に実装するための突出電極 206 が設けられている。

【0066】

一方、半導体チップ 211a～211c には、電極パッド 212a～212c がそれぞれ設けられるとともに、各電極パッド 212a～212c が露出するようにして、絶縁膜 213a～213c がそれぞれ設けられている。そして、半導体チップ 211a～211c には、例えば、各電極パッド 212a～212c の位置に対応して、貫通孔 214a～214c がそれぞれ形成され、貫通孔 214a～214c 内には、絶縁膜 215a～215c および導電膜 216a～216c をそれぞれ介して、貫通電極 217a～217c がそれぞれ形成されている。そして、貫通電極 217a～217c が形成された半導体チップ 211a～211c は、貫通電極 217a～217c をそれぞれ介して積層され、半導体チップ 211a～211c 間の隙間には樹脂 218a、218b がそれぞれ注入されている。

【0067】

そして、半導体チップ 211a に形成された貫通電極 217a 上には、半導体チップ 211a～211c の積層構造が半導体チップ 203 上に保持されるようにして、半導体チップ 211a～211c の積層構造をフリップチップ実装するための突出電極 219 が設けられている。

ここで、突出電極 219 は、半導体チップ 203 の搭載領域を避けるようにして配置され、例えば、半導体チップ 211a の周囲に突出電極 219 を配置することができる。そして、キャリア基板 201 上に設けられたランド 202c 上に突出電極 219 が接合されるとともに、キャリア基板 201 上に実装された半導体チップ 211a の表面が封止樹脂 220 で封止され、半導体チップ 211a～

211cの積層構造がキャリア基板201上にフリップチップ実装されている。

【0068】

これにより、半導体チップ211a～211cの積層構造と半導体チップ203との間にキャリア基板を介在させることなく、半導体チップ203上に半導体チップ211a～211cの積層構造をフリップチップ実装することが可能となり、積層時の高さの増大を抑制しつつ、半導体チップ203と異なる種類の半導体チップ211a～211cを複数積層することが可能となる。

【0069】

なお、半導体チップ211a～211cの積層構造をキャリア基板201上に実装する場合、例えば、ACF接合やNCF接合などの圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極204、206、219としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、半導体チップ211a～211cの3層構造をキャリア基板201上に実装する方法について説明したが、キャリア基板201上に実装される半導体チップの積層構造は、2層または4層以上であってもよい。

【0070】

図8は、本発明の第8実施形態に係る半導体装置の構成を示す断面図である。なお、この第8実施形態は、半導体チップ303がフリップチップ実装されたキャリア基板301上に、W-CSP（ウエハレベラーチップサイズパッケージ）を3次元実装するようにしたものである。

図8において、半導体パッケージPK41にはキャリア基板301が設けられ、キャリア基板301の両面にはランド302a、302cがそれぞれ形成されるとともに、キャリア基板301内には内部配線302bが形成されている。そして、キャリア基板301上には半導体チップ303がフリップチップ実装され、半導体チップ303には、フリップチップ実装するための突出電極304が設けられている。そして、半導体チップ303に設けられた突出電極304は、異方性導電フィルム305を介してランド302c上にACF接合されている。ま

た、キャリア基板 301 の裏面に設けられたランド 302 a 上には、キャリア基板 301 をマザー基板上に実装するための突出電極 306 が設けられている。

【0071】

一方、半導体パッケージ PK 42 には半導体チップ 311 が設けられ、半導体チップ 311 には、電極パッド 312 が設けられるとともに、電極パッド 312 が露出するようにして、絶縁膜 313 が設けられている。そして、半導体チップ 311 上には、電極パッド 312 が露出するようにして応力緩和層 314 が形成され、電極パッド 312 上には、応力緩和層 314 上に延伸された再配置配線 315 が形成されている。そして、再配置配線 315 上にはソルダレジスト膜 316 が形成され、ソルダレジスト膜 316 には、応力緩和層 314 上において再配置配線 315 を露出させる開口部 317 が形成されている。そして、開口部 317 を介して露出された再配置配線 315 上には、半導体チップ 311 が半導体チップ 303 上に保持されるようにして、半導体チップ 311 をキャリア基板 301 上にフェースダウン実装するための突出電極 318 が設けられている。

【0072】

ここで、突出電極 318 は、半導体チップ 303 の搭載領域を避けるようにして配置され、例えば、半導体チップ 311 の周囲に突出電極 318 を配置することができる。そして、キャリア基板 301 上に設けられたランド 302 c 上に突出電極 318 が接合されるとともに、キャリア基板 301 上に実装された半導体パッケージ PK 42 の表面が封止樹脂 319 で封止され、半導体パッケージ PK 42 がキャリア基板 301 上に実装されている。

【0073】

これにより、半導体チップ 303 がフリップチップ実装されたキャリア基板 301 上に W-CSP を積層することができ、半導体チップ 303、311 の種類またはサイズが異なる場合においても、半導体チップ 303、311 間にキャリア基板を介在させることなく、半導体チップ 303 上に半導体チップ 311 を 3 次元実装することが可能となるとともに、半導体パッケージ PK 42 を封止する封止樹脂 319 で突出電極 318 の配置領域を補強することが可能となる。このため、半導体チップ 303、311 積層時の高さの増大を抑制しつつ、キャリア

基板 301 の反りを低減させることが可能となり、3次元実装時の接続信頼性の劣化を抑制しつつ、半導体チップ 303、311 実装時の省スペース化を図ることが可能となる。

【0074】

なお、半導体パッケージ PK42 をキャリア基板 301 上に実装する場合、半導体パッケージ PK42 は半導体チップ 303 上に密着していてもよいし、半導体パッケージ PK42 は半導体チップ 303 から離れていてもよい。また、半導体パッケージ PK42 をキャリア基板 301 上に実装する場合、例えば、ACF 接合や NCF 接合などの圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極 304、306、318 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、キャリア基板 301 上にフリップチップ実装された 1 個の半導体チップ 303 上に半導体パッケージ PK42 を実装する方法を例にとって説明したが、キャリア基板 301 上にフリップチップ実装された複数の半導体チップ上に半導体パッケージ PK42 を実装するようにしてもよい。

【0075】

なお、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとって説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弾性表面波 (SAW) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

【図面の簡単な説明】

【図 1】 第 1 実施形態に係る半導体装置の構成を示す断面図。

【図 2】 第 2 実施形態に係る半導体装置の構成を示す断面図。

【図 3】 第 3 実施形態に係る半導体装置の構成を示す断面図。

【図 4】 第 4 実施形態に係る半導体装置の製造方法を示す断面図。

【図 5】 第 5 実施形態に係る半導体装置の製造方法を示す断面図。

【図 6】 第 6 実施形態に係る半導体装置の構成を示す断面図。

【図 7】 第 7 実施形態に係る半導体装置の構成を示す断面図。

【図 8】 第 8 実施形態に係る半導体装置の構成を示す断面図。

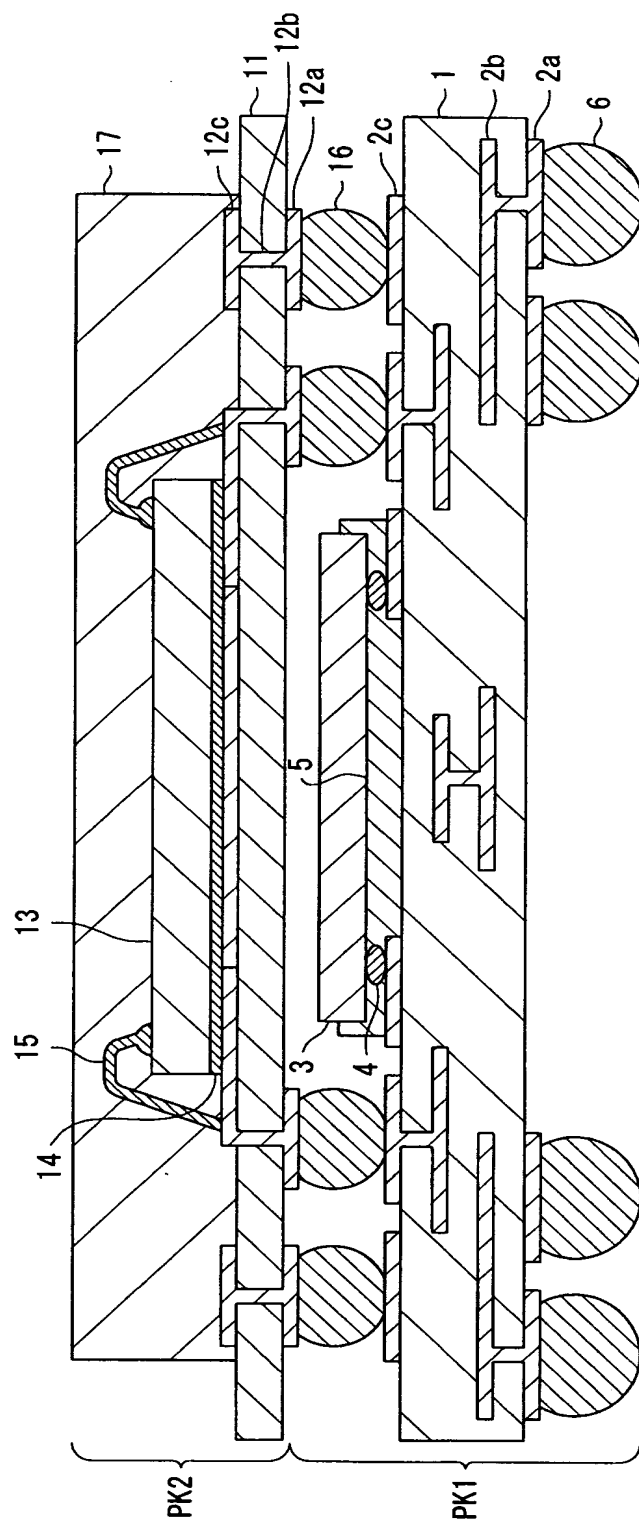
【符号の説明】

1、11、21、31、41、51、61、61a～61c、71、81、101、201 キャリア基板、2a、2c、12a、12c、22a、22c、32a、32c、42a、42c、52a、52c、72a、72b、82、102a、102c、202a、202c ランド、2b、12b、22b、32b、42b、52b、102b、202b 内部配線、3、13、23、33a、33b、43、53a、53b、62a～62c、73、103、111、203、211a～211c、311 半導体チップ、4、6、16、24、26、36、44、46、55a、56、65a～65c、74、77、83、104、106、114、204、206、219 突出電極、5、25、45、54a、75、105、205 異方性導電フィルム、14、34a、34b、54b 接着層、15、35a、35b、55b、63a～63c 導電性ワイヤ、17、37、57、64、64a～64c、84、115、218a、218b、220、319 封止樹脂、76 フラックス、112、212a～212c、312 電極パッド、113、213a～213c、215a～215c、313 絶縁膜、214a～214c 貫通孔、216a～216c 導電膜、217a～217c 貫通電極、314 応力緩和層、315 再配置配線、316 ソルダレジスト層、317 開口部、PK1、PK2、PK11、PK12、PK21、PK22、PK31、PK32、PK41、PK42 半導体パッケージ

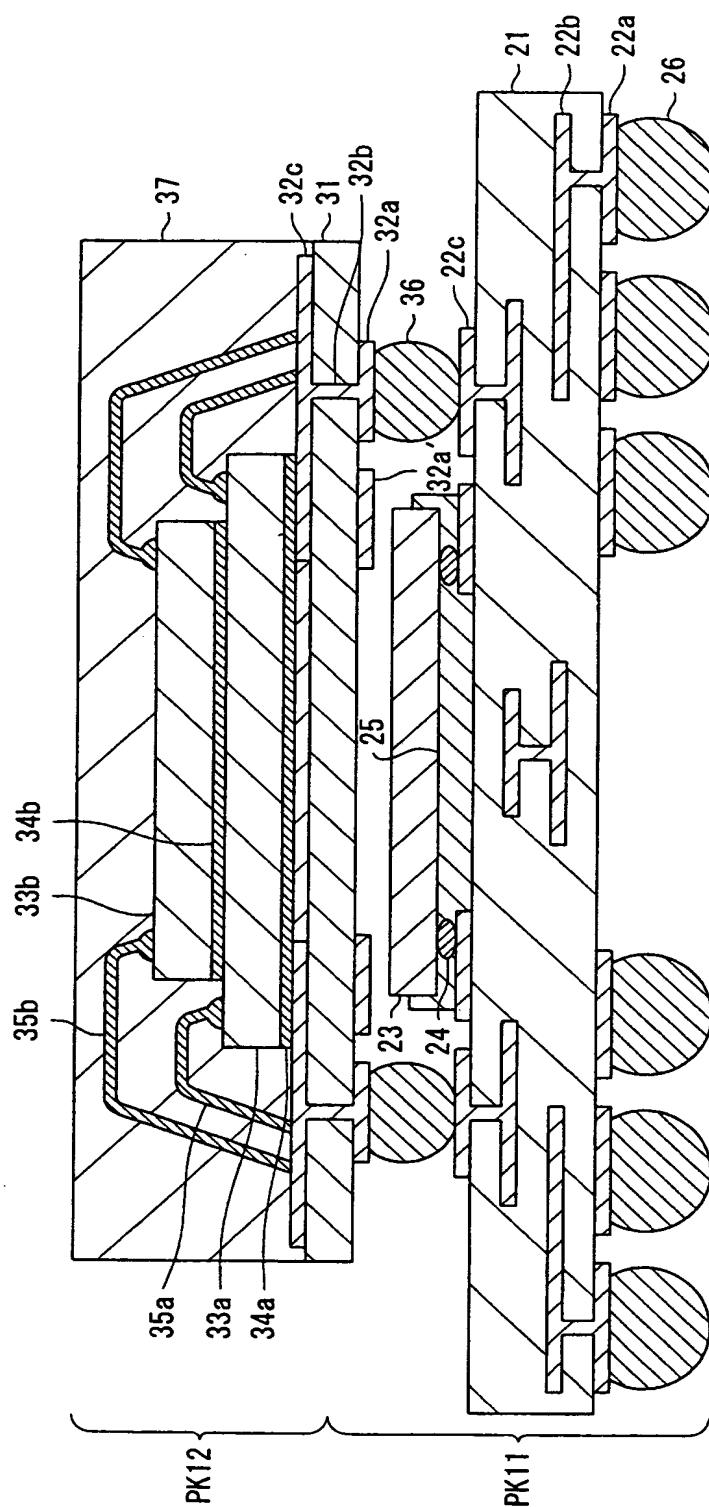
【書類名】

図面

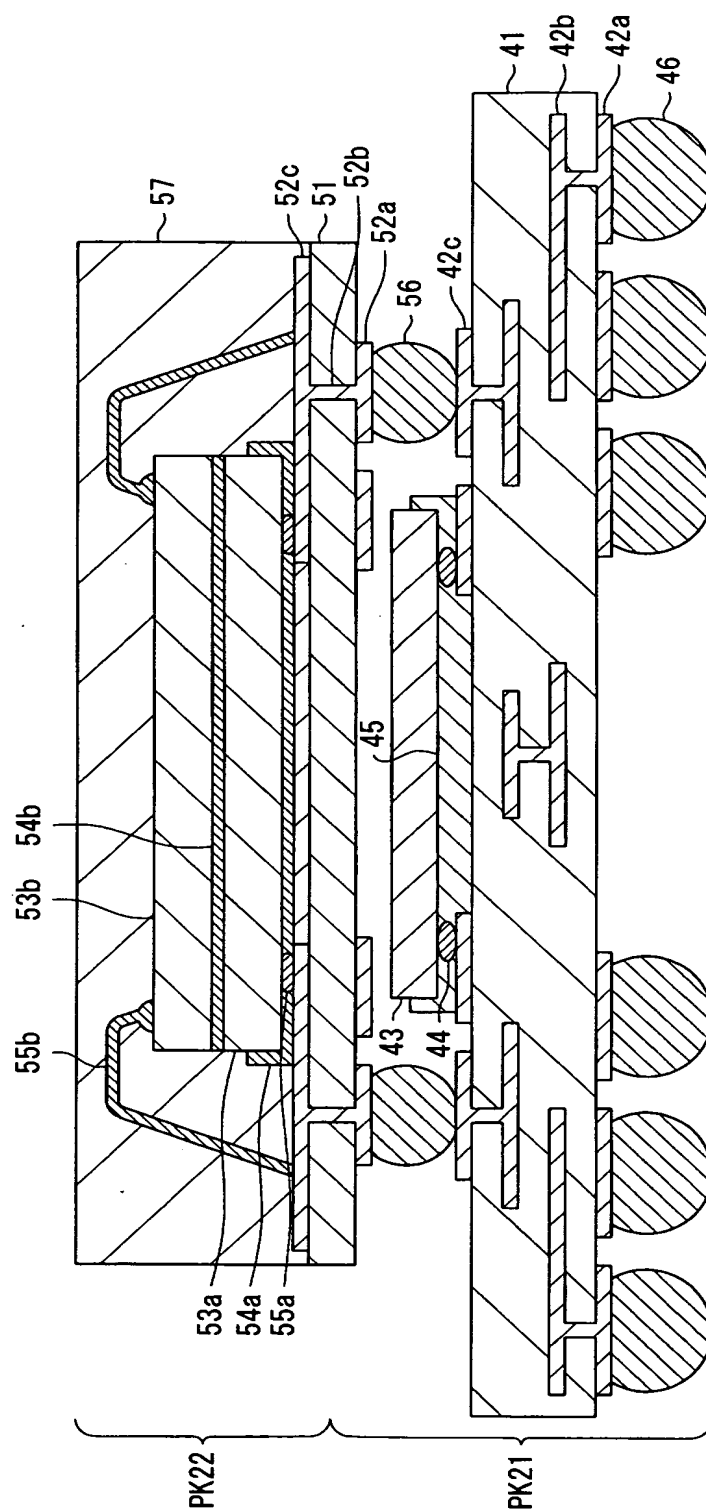
【図 1】



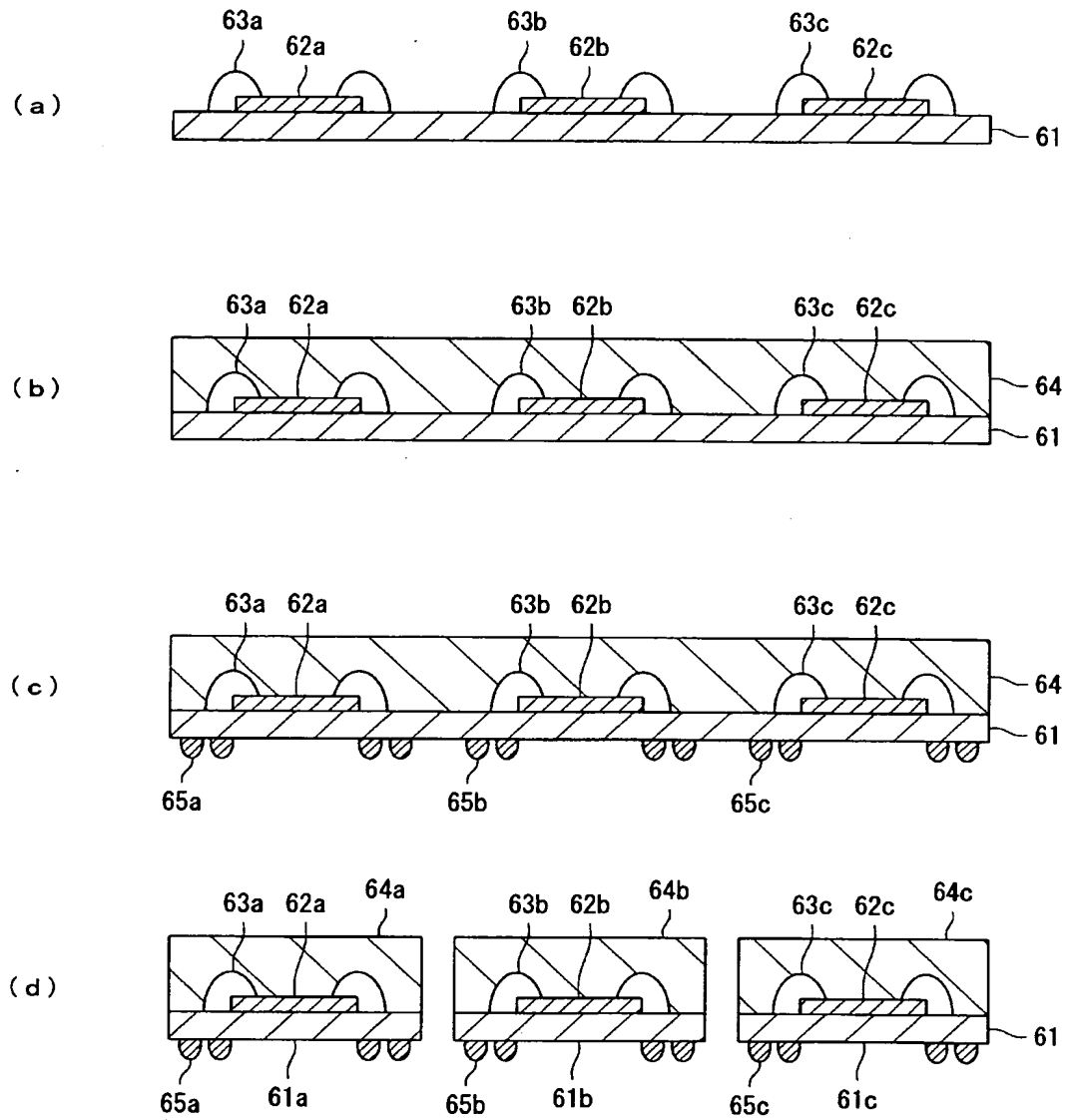
【図 2】



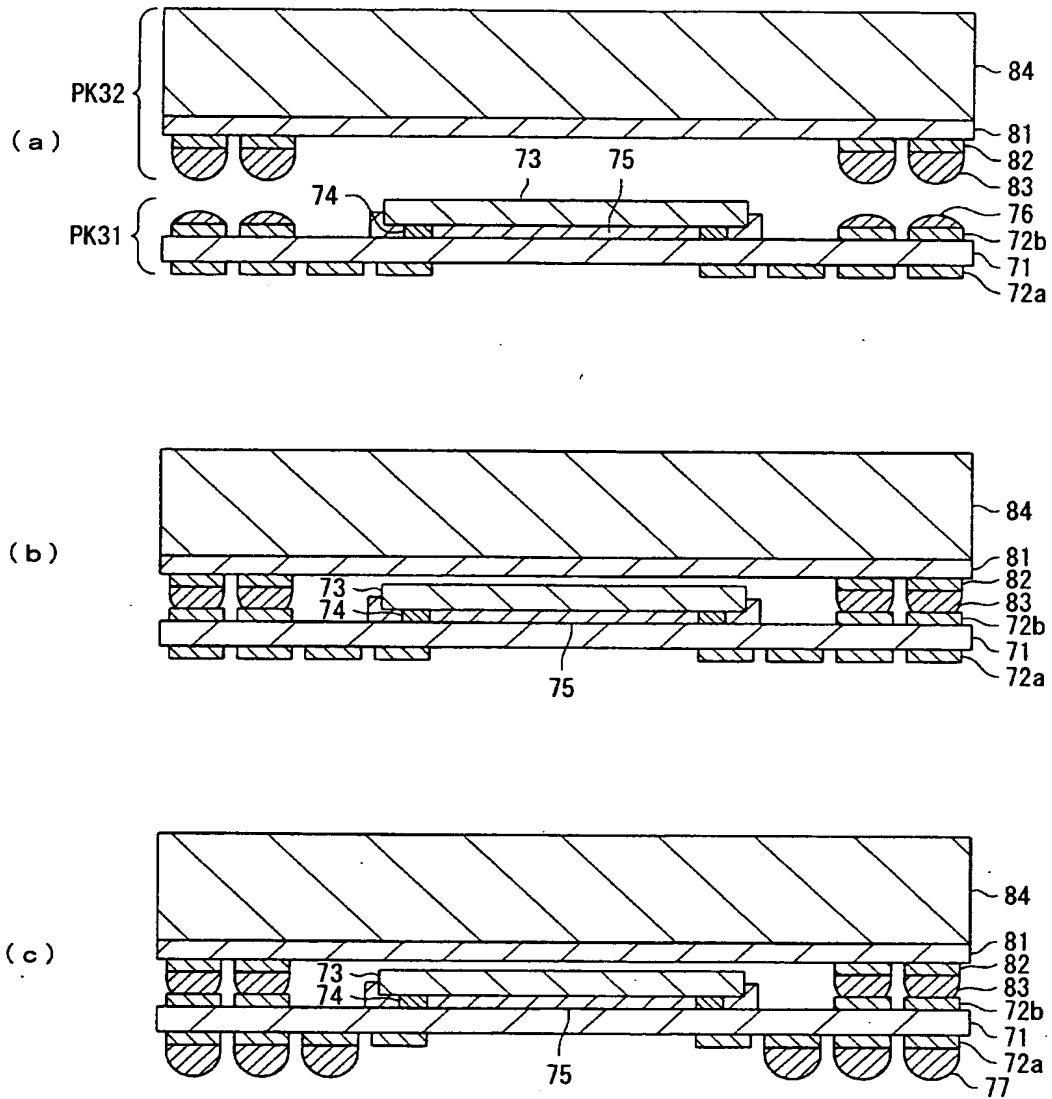
【図 3】



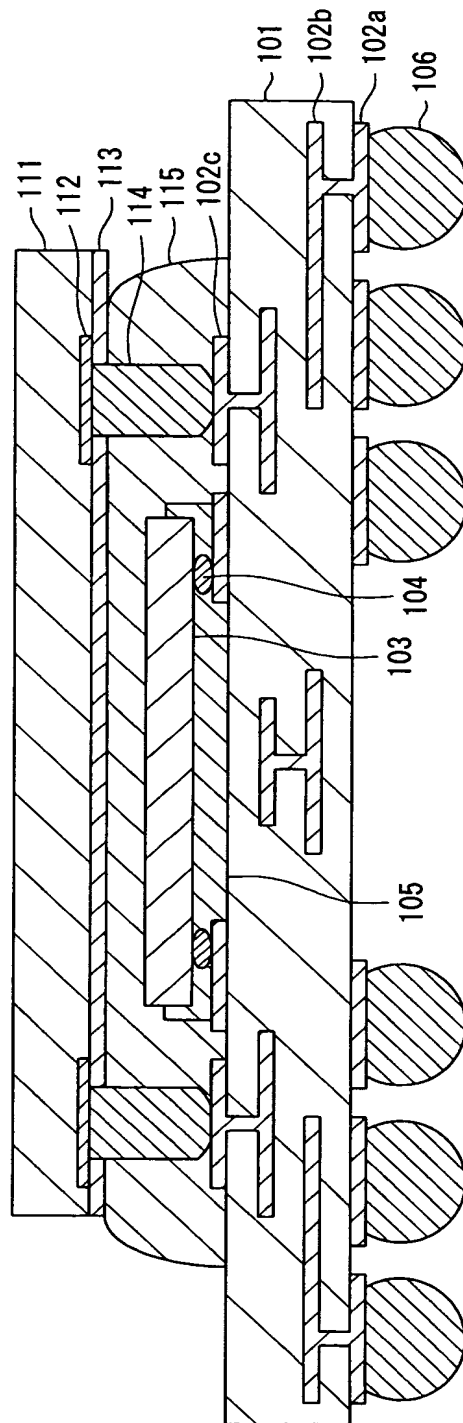
【図 4】



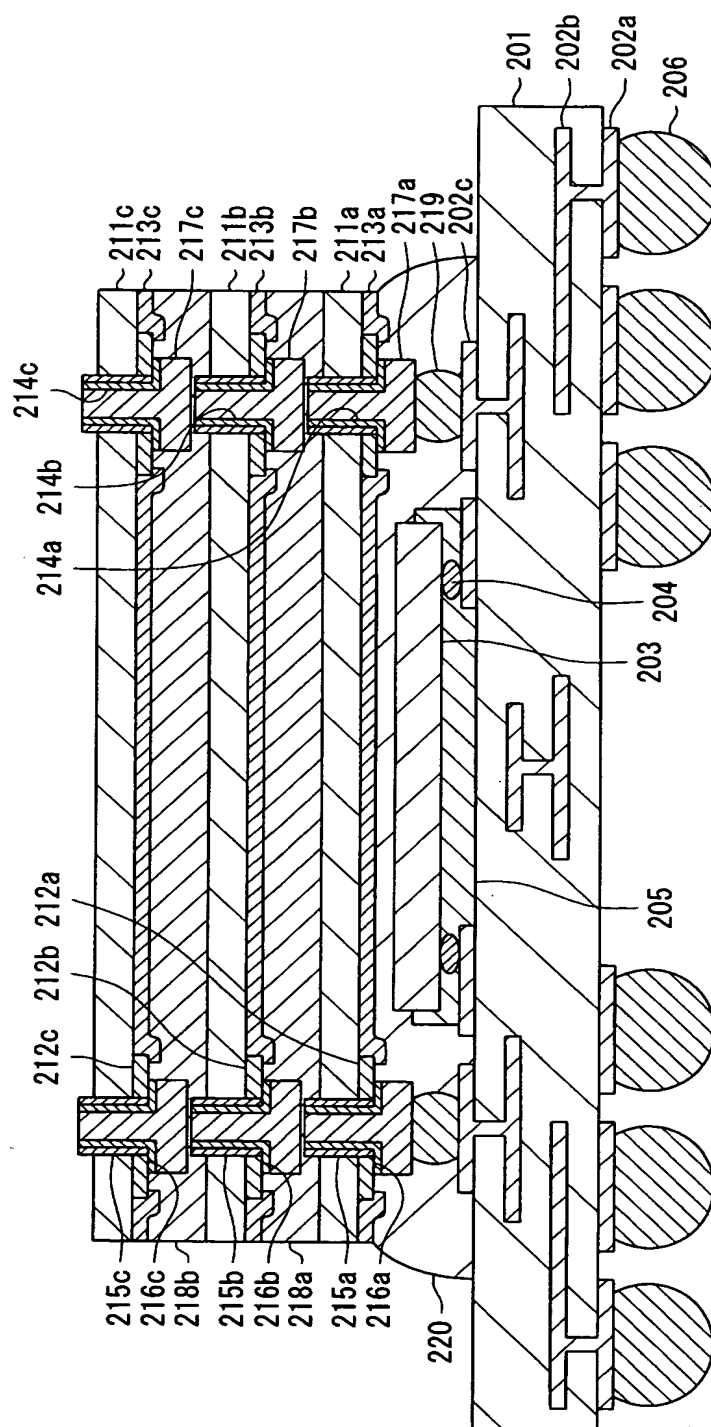
【図 5】



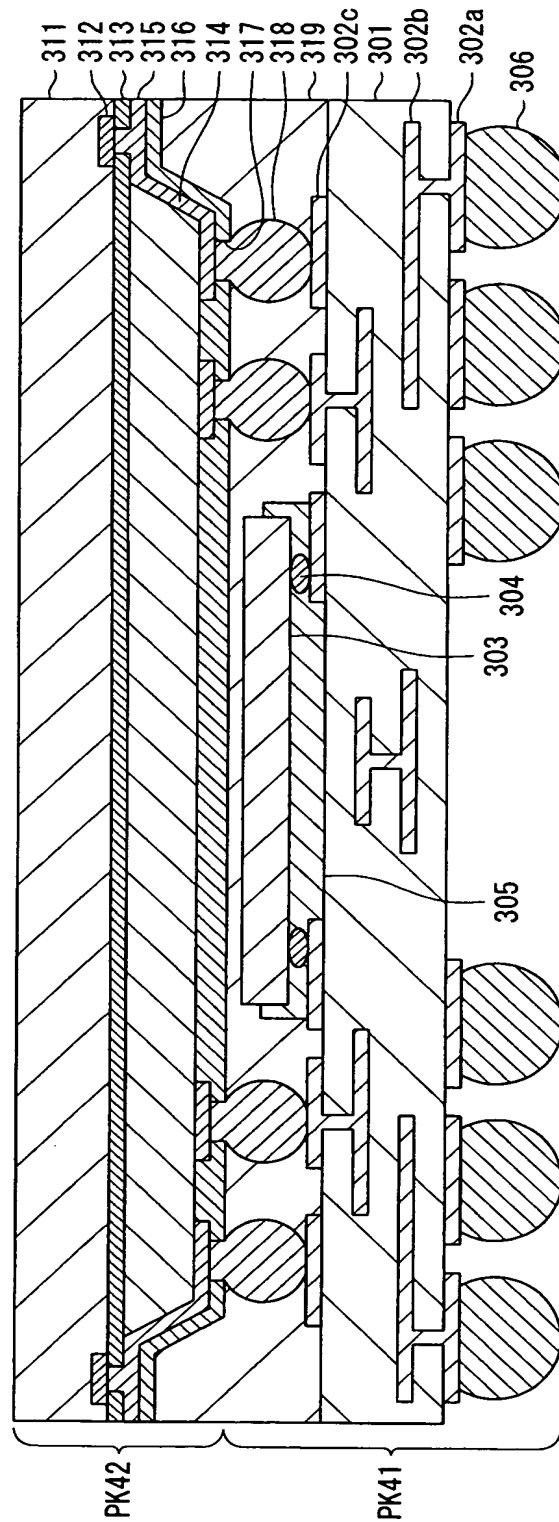
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 接続信頼性の劣化を抑制しつつ、異種チップの 3 次元実装構造を実現する。

【解決手段】 半導体チップ 3 が A C F 接合により実装された半導体パッケージ P K 1 1 上に、半導体チップ 1 3 が封止樹脂 1 7 で封止された半導体パッケージ P K 1 2 を積層し、封止樹脂 1 7 で封止される範囲を、半導体チップ 1 3 上を覆うとともに、半導体チップ 1 3 の実装面側において突出電極 1 6 の配置領域にかかるとともに設定する。

【選択図】 図 1

特願 2 0 0 3 - 0 7 4 2 1 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社